

System and method for smoothing the lines and edges of an image on a raster-scan display

Patent Number: US4672369

Publication date: 1987-06-09

Inventor(s): PREISS RICHARD B (US); DALRYMPLE JOHN C (US)

Applicant(s):: TEKTRONIX INC (US)

Requested Patent: JP60136795

Application Number: US19830549144 19831107

Priority Number(s): US19830549144 19831107

IPC Classification:

EC Classification: G09G1/16F4C, G09G5/20

Equivalents: CA1235536, EP0146227, JP1967955C, JP6080476B

Abstract

In system and method for smooth line raster-scan display, a frame buffer containing a high resolution map of information of an image for display is read so as to furnish plural line stored information for each single line of the raster display. Display circuitry of the system receives the plural line stored information and varyingly weights same to furnish such single line Z-axis information (intensity control) for an X-Y display matrix, such as a CRT display terminal. Means are included in the system for display of the entire frame buffer content on a first fractional basis, e.g., a two thousand line resolution buffer to five hundred line raster. Selection circuitry of the system provides for reading out only a fraction of the frame buffer content, e.g., one-fourth or the five hundred lines thereof, on five hundred raster lines, thus providing true resolution zoom capability.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-136795

⑬ Int.Cl.
G 09 G 1/06

識別記号

序内整理番号
7923-5C

⑭ 公開 昭和60年(1985)7月20日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 ラスタ走査型表示装置

⑯ 特願 昭59-234003

⑰ 出願 昭59(1984)11月6日

優先権主張 ⑲ 1983年11月7日 ⑳ 米国(US) ⑳ 549144

㉑ 発明者 リチャード・ビー・ブリース アメリカ合衆国 オレゴン州 97005ビーバートン サウスウェスト ウイルソン・ドライブ 14125

㉒ 発明者 ジョン・シー・グレイムブル アメリカ合衆国 オレゴン州 97132ニューバーグ イースト セブンス・ストリート 1306

㉓ 出願人 テクトロニックス・インコーポレイテッド アメリカ合衆国 オレゴン州 97077 ビーバートン ピー・オー・ボックス 500 サウスウェスト グリフィス・ドライブ 4900

㉔ 代理人 弁理士 伊藤 貞

BEST AVAILABLE COPY

明細書

発明の名称 ラスタ走査型表示装置

特許請求の範囲

第1項所定数の走査線の輝度を調節して表示を行う表示手段と、上記第1項所定数以上の第2項所定数の走査線により画像情報を記憶する記憶手段と、上記表示手段の走査線に対応する上記記憶手段に記憶された複数の走査線の上記画像情報を応じて上記表示手段の走査線の輝度を調節する調節手段とを具えたラスタ走査型表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明は画像表示装置、特にラスタ走査型表示において画像のライン及び線を滑らかにする装置に関する。

(従来の技術及びその問題点)

あるラスタ走査型表示システムでは、表示スクリーンを 500×500 のピクセル (画素) マトリックとみなし、各ピクセル成分毎に Z 軸、即ち輝度の調節を行うのが一般的である。ラスター上のピ

クセルの場所は固定しているため、表示面上における画像ライン (走査線) の表示は禁止していなければ、階段状に、即ちいわゆる「ジャギー」表示として現れる。よって、アンチ・エイリアシング、又はアンチ・ジャギー (デ・ジャギー) 表示補正システムが提案されており、現在、2つの一般的なシステムが知られている。

これらアンチ・エイリアシングの一般的なシステムの1つでは、アンチ・ジャギー・ソフトウェアの傾向にあり、このソフトウェア専用となる端末装置に供給する画像をこのソフトウェアにより処理する。このアプローチの特徴は、厳密な性能及びデータ・ハンドリング、タイムの制限にある。

アンチ・エイリアシング・ピクセル・ラスターのアプローチの他の一般的な形式では、ファームウェアによる高性能の傾向にある。このファームウェアは画像データを扱う表示端末装置内に取り入る。またこのファームウェアは固定化したアルゴリズムにより画像データ・ピットを操作して、同じものをフレーム・ハッファー・メモリに書き込み、

固定化したパターンに応じて画像データを読みづけする。

上述の如くこのファームウェアのアプローチには性能の問題が少ないが、これら既知の型アプローチでは、焦点が低めている、即ちユーザが見ることのできる画像の内容が希望の分解能よりも低いと多くのユーザはみなしている。よって、その結果の画像は、実時間再生の結果ではなく、本来の画像データにおいて定義された画像に情報を付加した結果である。

(問題点を解決するための手段及び作用)

したがって本発明の目的の1つは、ラスタ走査型表示器用の改良された装置の提供にある。

また本発明の他の目的は、ラスタ走査型表示器における画像表示の高分解能、及び高い分解能のズーム機能を提供することである。

これら及び他の目的を達成するために、本発明

は、ソフトウェア又はファームウェアによりアンチ・ジャギー・アルゴリズムのデータを画像データに付加する必要がなく、この画像データを用いてラスタ走査型表示をアンチ・エイリアシング状態としている。本発明は、まずラスク走査型表示スクリーンの密度よりも高い密度の画像データをロードしたフレーム・バッファ（記憶手段）を利用する。例えば、本発明の方法に用いるフレーム・バッファは2000×2000の行列マトリックスを含んでおり、500×500のラスターをドライブする。

本発明において、フレーム・バッファ・メモリから多くの隣接したフレーム・バッファ・ライン・データを同時に選択して画像データを処理し、道筋的重み付けにより多くの隣接したバッファ・ライン・データ・ビットから单一のラスター・ライン・ドライブ信号を発生する。多くの隣接したラスター・ライン（走査線）の中心は、書込まれたラスター・ラインに対応するとみなされて、全重みが与えられ、この中心に隣接したラインはこの中心からの距離に応じて異なる重み付けがされる。

よって、発生したラスター・ライン・ドライブ信号は、テレビジョン表示の場合と同様にガウジアン分布となる。よって本発明は完全な分解能の画像を発生でき、任意のアンチ・エイリアシング・アルゴリズム又は本来の画像データにデータを付加する関連したフレーム・バッファ・データがないので、端点処理の困難さがなくラスター・ラインを正確かつジャギーのないものにする。

更に本発明は、ラスタ走査型表示にズーム能力を与える。よって、選択レートを減少し、実際の分解能を拡大表示に応じて次め、フレーム・バッファの対応する部分を表示スクリーン全体に割当てる。

本発明の上述及び他の目的、特徴は本付図を参照した以下の実施例の説明から一層明らかになろう。

(実施例)

第1図は本発明の好適な一実施例のブロック図を示す。この図において、ベクトル発生器は矢印A～C（14）及び（16）を介して記憶手段であ

るフレーム・バッファ（12）に入力画像データ及びアドレス／タイミング命令を与える。ベクトル発生器は、データ・ルーチン及びタイミング制御ユニットであり、フレーム・バッファ（12）のランダム・アクセス・メモリ（RAM）ユニットを満たし（書き込み）かつ読み出し、書き込み、消去及びリフレッシュ動作により蓄積したデータを整理又は処理し、ラスタ走査表示システムの従来のベクトル発生器の他の一般的動作を行なう。上述の如く、フレーム・バッファ（12）の容量は高密度であり、表示端末装置（表示手段）の行列データ容量の数倍のデータを適切に蓄積する。

スケール・クロック発生器（18）はライン（20）を介してフレーム・バッファ（12）にフレーム・バッファ出力クロック信号を供給する。ズーム動作でない場合、ライン（20）の信号発生レートは、所定クロックレートであり、ズームを実行のときは後述の如くその所定レートから下る。ライン（22）～（28）を介してフレーム・バッファ出力信号を参照番号（30）～（44）で示すライン・アキュム

レータ I ~ IV に供給する。広範囲で、これらアキュムレータは現在受けた情報を蓄積し、前に受けた情報と同時にその出力をライン (56) ~ (62) に与える。

ライン・アキュムレータと共に制御手段を構成する D A C 加算器 (54) は受けた情報に対し上述の並み付け動作を実行し、ライン (64) を介して代表的には CRT 端末装置である表示ユニット (70) (表示手段) に対応アナログ出力 (映像) 信号を供給するデジタル・アナログ変換器である。

第2図はフレーム・バッファ (12) の回路図であり、このフレーム・バッファ (12) は、データ・バス (14) 及びアドレス/タイミング・バス (16a) が接続された RAM ユニット (72) ~ (78) を含む。これら RAM ユニット (72) ~ (78) の出力は、同時に 4 つのデータ・ビット (1 つのフレーム・バッファ内像走査ライン) を共同して与えるライン (80) ~ (86) を介して選択ユニット (SEL) (88) ~ (94) に供給される。ライン (106) 及び (106c) の制御選択信号は、4 ビット・バタ-

ンを選択ユニット出力ライン (96) ~ (102) にゲートする。ラッチ及び分配器 (104) はユニット (88) ~ (94) から 4 つの現在のデータ・ビットを受け、ライン (20) のクロック信号 (フレーム・バッファ出力クロック) の発生により、同じものを選択的にフレーム・バッファの出力ライン (22a) ~ (22d)、(24a) ~ (24d)、(26a) ~ (26d) 及び (28a) ~ (28d) に分配する。

再び第1図を参照すれば、今説明した出力ライン (22) ~ (28) はライン・アキュムレータ (38) ~ (44) 用に個々のグループになっている。第3図は各ライン・アキュムレータの回路を示すが、特にアキュムレータ (38) の入力/出力接続を示している。ライン (22a) ~ (22d) をシフト・レジスタ (SR) (106) に直接接続すると共に、ライン (108a) ~ (108d) を介してラッチ (110) にも接続する。よって、アキュムレータ (38) への 4 ビット・パターン入力はシフト・レジスタ (106) により直接出しに利用でき、またラッチ (110) がライン (112a) ~ (112d) を介して

同じパターンを RAM (114) に供給するので、このパターンは後で利用するために保持される。RAM (114) の出力ライン (118a) ~ (118d) を第2シフト・レジスタ (120) に接続する。

ライン (118a) ~ (118d) を更にライン (122a) ~ (122d) に接続するので、RAM (114) の出力も更に後の表示のために保持される。これらライン (122a) ~ (122d) をラッチ (124) に接続し、このラッチの出力ライン (126a) ~ (126d) を RAM (128) に接続する。RAM (128) の出力はライン (130a) ~ (130d) を介してシフト・レジスタ (132) に供給する。

制御ライン (134)、(136) 及び (138) はラッチ (110) 及び (124) 並びに RAM (114) 及び (128) を制御し、この内ライン (136) 及び (138) は蓄積アドレス指定及び出力選択の機能を果たす。ライン (140) はシフト・レジスタ (106)、(120) 及び (132) に共通に出力インペルス信号 (ライン・アキュムレータ出力制御信号) を供給する。ライン (142) はクロック

パルスを与えるが、ライン (140) のインペルス信号が存在するとき、シフト・レジスタの内容をライン・アキュムレータ (38) の出力ライン (56a)、(56b) 及び (56c) に直列出力する。ライン (140) のライン・アキュムレータ出力制御信号は、表示ユニットのラスター走査ラインのレートに対応するレートで発生する。

理解できる如く、シフト・レジスタ (106)、(120) 及び (132) の内容は、ライン・アキュムレータへの現在の 4 ビット・パターン入力 (シフト・レジスタ (106) の中身)、ライン・アキュムレータに供給された更に前の 4 ビット・パターン (シフト・レジスタ (120) の中身)、及びライン・アキュムレータに供給された更に前の 4 ビット・パターン (シフト・レジスタ (132) の中身) を表わしている。ライン・アキュムレータ (140) ~ (144) は、第3図に記述して示したのと同様な構成である。

再び第1図を参照すると、ライン (56)、(58)、(60) 及び (62) の各々は、3つの出力信号のうち

特開昭60-136795(4)

ーブであり、現在、画面及びその前の4ビット・パターンの直列化したデータを有しているので、D A C 加算器(54)は12の入力ラインを有しており、これを組み付け回路と周辺して第4図に示す。入力ラインの各々をゲート及び組み付け(G-W)回路(144a)～(144d)に接続する。かかる回路の各々は共通の構成であり、故(144a)の如く1対のエミッタ結合トランジスタのベースに相補出力を供給するゲート(146a)～(146d)を含んでいる。G-W回路(144a)～(144d)のトランジスタのコレクタを抵抗器R1及びR2に共通接続する。G-W回路(144a)～(144d)のトランジスタのコレクタを抵抗器R3及びR4に共通接続する。抵抗器R1及びR3は映像出力トランジスタ(150)のベースに結合し、抵抗器R2及びR4は抵抗器R5を介して他の12V直流電源に接続する。ライン(64)の映像出力はトランジスタ(150)のコレクタ電圧である。

第4図の抵抗器R6～R17の選択した値により、組み付けの状態を確立するが、これら抵抗器はす

べて正の5V直流通路に接続され、抵抗器R1～R5及びライン(56)、(58)、(60)及び(62)のロジック状態と共に、各段のトランジスタに流れる電流を設定する。よって、これらは映像信号の波形を決める。ガウシャン組み付けのために、中央のラインから最も外側の位置の抵抗器が最大抵抗値であり、ここから中央ラインに近づくにつれて抵抗値は減る。特定の実施例において、中央の抵抗器R11及びR12は等しく最小値であり、R10及びR13は等しくかつR11及びR12よりも大きい値であり、R9及びR14は等しく又大きい値であり、以下同様である。例えば、抵抗器R6～R17は可変でもよく、それらの値をマイクロプロセッサ等の外部制御器で設定してもよい。

通常のフル・スケール動作において、ライン(56a)～(56c)、(58a)～(58c)、(60a)～(60c)及び(62a)～(62c)の12ビット・パターンは、情報の12ラインの各々のビットを含んだフレーム・バッファ・メモリの垂直スライス(列)を表す。これら12ラインの中心(6番目ラ

イン及び7番目ラインの間、即ち回路ライン(58c)及び(60c)間の中央)が、育込まれるラスター・ラインに対応する。ライン(64)からの映像信号、即ちガウシャン組み付けされた信号による表示において、D A C 加算器(54)への入力ラインは、最初に述べた入力からユニット(54)への4つのラインが階層別になった12のフレーム・バッファ・ラインを表すようにタイミングを定める。フレーム・バッファの密度はラスター走査速度の4倍であり、直線した全画像をラスター表示器に表示するのが望ましいので、上述はこの例である。よって、12の相互に隔離したフレーム・バッファ・ラインからの12ビットの独特なパターン、及びライン・キュムレータ(38)～(44)の4つの例ステッピングを含んだ連続したラスター・ラインにより、各ラスター・ラインを育む。

よって、ライン(20)(フレーム・バッファ・ライン出力)のクロック・レートはライン(40)の4倍、キュムレータ出力信号のレートの4倍である。

例えば、全表示スクリーン領域をフレーム・バッファの内容の4分の1に割当てる、即ち、通常表示の4分の1の部分を4倍にズームする形式のズーム動作において、ズーム選択の指示は、4ビット・カウンタ(156)(第5図)に接続されたライン(154a)～(154d)によりスケール・クロック発生器(18)に行う。分周器(158)からライン(160)を介してカウンタ(156)に20kHzのクロック信号を供給する。発振器(162)は80kHzで動作し、ライン(164)を介して分周器(158)を駆動する。ゲート(166)は、カウンタ(156)からのライン(168)及び20kHzクロックのライン(170)を入力とする。フレーム・バッファ出力シフト・クロックをライン(20)に発生するが、そのレートはライン(154a)～(154d)の設定に対応する。即ち、通常のフル・スケール動作を望む場合は最大(20kHz)であり、ズーム動作では対応した低いレートである。以下に述べるズーム例において、ライン(20)のクロック・レートが全5kHz、即ちライン(140)のレートで

ある場合、4倍の拡大がフレーム・バッファ・ライン出力及びラスター走査ライン間に生じる。映像出力は、フレーム・バッファの読み出しによりライン毎であるが、ライン・キュムレータは依然、12の相位に階層したライン・ピットの全部をD A C 加算器(54)に供給しているので、映像信号は依然ガウシャンで組み付けされている。

第5図の回路の特定例では、カウンタ(156)は10016型4ビット・カウンタであり、ライン(154a)～(154d)をピン7、9、10及び11に接続し、ライン(160)をピン13に接続し、ライン(172)をピン5に接続し、ライン(172)及び(168)をピン4に接続する。

本発明により画像表示に効果をもたらす方法を考案すれば、表示ユニットはN個のラスター・ラインを有しているといつてもよい。画像を高密度、即ちデジタル・ピットのM個の階層されたラインにおいて階層する。ここでMは、Nの整数倍である。所定のラスター走査ライン・ステップを進む際、M個の階層されたラインのQ個の各々からデ

ジタル・ピットを選択する。ここでQは1を超える整数である。上述したズームの例において、Qは4つのライン・キュムレータの出力数なので、Mは2000、Nは500、Qは12である。これら選択されたQビットをアナログ信号に変換し、表示ユニットのN個のラスター・ラインの1つを構成する群の輝度制御信号としてこのアナログ信号を利用する。

この信号変換の間にピットを個々に組み付け、この組み付けの実行により、なるべくピットをガウシャン分布組み付けとする。

特に上述した例においてQビットを選択するには、そのQビットをサブグループに選択し、このサブグループ化したビットを順次累積して、全Qビットについてこれら累積が終了するよう同時に信号変換ステップを行う。

全高幅画像がラスター・フレームにあるのが望ましい場合、変換ステップの実行レートのM/N倍毎にQビットの連続したサブグループを選択する。この例では、同様に信号変換のレートの4倍でフ

レーム・バッファ・メモリに対しステップを実行する。ズーム動作において、変換ステップに対し少ないラインで、例えばM/N/N/Rのレートでフレーム・バッファ・メモリに対しステップを進める。ここでRは1より大きい整数であり、M/N位に大きい。上述の4倍拡大ズームの動作例では、フレーム・バッファ・メモリの1/4の1を表示ラスターに割当て、よってRをM/N即ち4に選択している。

単一のプレーン情報パターン及びこの単一プレーン情報を構成するピット内容を階層する單一フレームのバッファ・メモリについて、本発明の装置の一例を上述したが、本発明は、深さ方向に2つ以上のバッファ・メモリのフレームを含む、即ちメモリの複数プレーンのアプリケーションにも拡張できる。かかる構成でカラー及びグレースケールのアプリケーションに関する多くの問題を解決する。例えば、最も簡単な構造のカラー・テレビジョン・カメラは、3つのターゲット画像形成手段を備えており、第一の同期発生器により各ベ

で駆動される3つの異なる電子ビームが面相して各手段を掃引する。3つの独立したターゲットからデータを取出し、それをカラー及び符号化処理して、カラー情報を信号から取出す。ここで本発明によるシステムでは、ピクセルのターゲットのみを走査する代りに、同時に複数のメモリ・プレーンを走査して、カラー情報を主要なカラーの各々を表し3つのプレーンが同時に取出された情報にする。图形システムにおいて、3プレーン・システムから良好なカラー情報を取出すのは難しい。達成しようとすることは、8色の選択のみである。しかし、本発明のシステムによれば、各色の輝度情報の中間調が可能となり、より広範囲に色を配ることが可能になる。更に、これら色の境界は適切にはかせる。よって、色の緑、透明、テクスチャ等の色及び中間調問題の解決が簡単になる。

上述では本発明を特に、ライン情報のフレーム・ハーフ・フレームのペクトル発生及びラスター走査表示に関する説明したが、勿論本発明は広く適用できる。本発明の要旨を説明することなく後述の要

が可能であるので、上述の経過な実施例は本発明を説明するためであり、何ら限定するものではない。

(発明の筋)

上述の如く本発明によれば、画像データに直接アンナ・ジャギー・アルゴリズムのデータを付加することなく、表示スクリーンの密度より高い密度のフレーム・バッファを利用しているので、通常にアンチ・エイリアシング状態にできると共に、ズームも容易である。

(図面の簡単な説明)

第1図は本発明の経過な実施例の全体的なブロック図、第2図は第1図に用いるフレーム・バッファのブロック図、第3図は第1図に用いるライン・マスクルータのブロック図、第4図は第1図に用いるD/A/C加算器の回路図、第5図は第1図に用いるスケール・クロック発生器のブロック図である。

図において、(12)は配線手段、(38)～(44)及び(54)は制御手段、(70)は表示手段である。

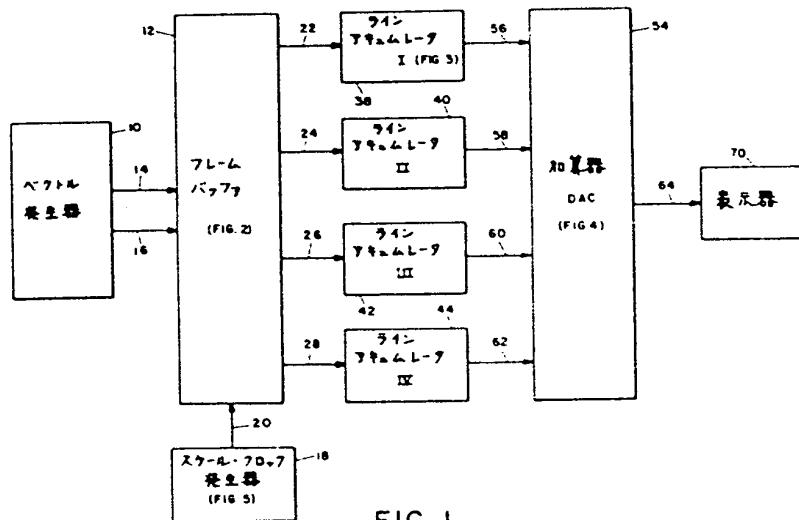


FIG. 1

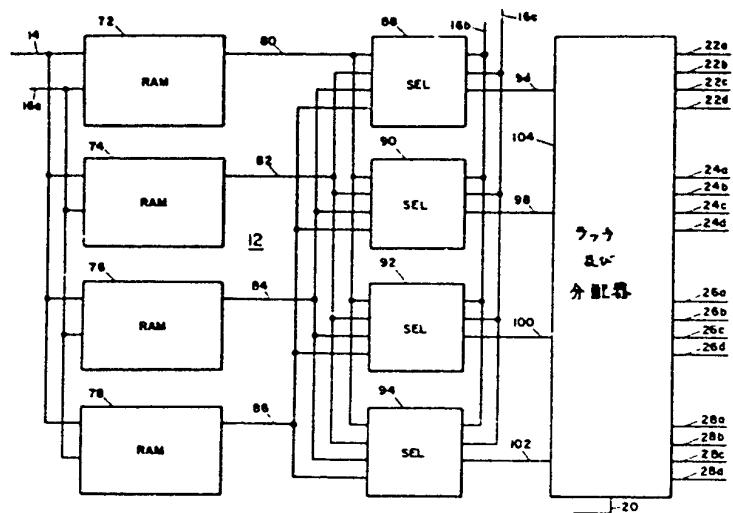


FIG. 2

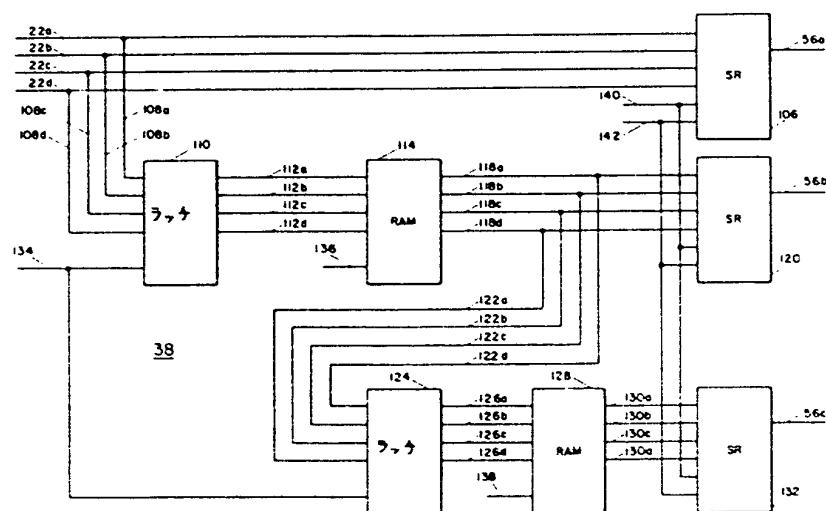


FIG. 3

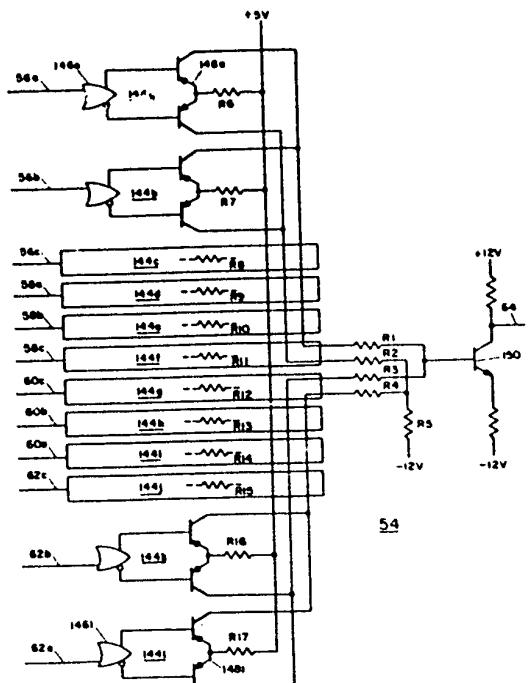


FIG. 4

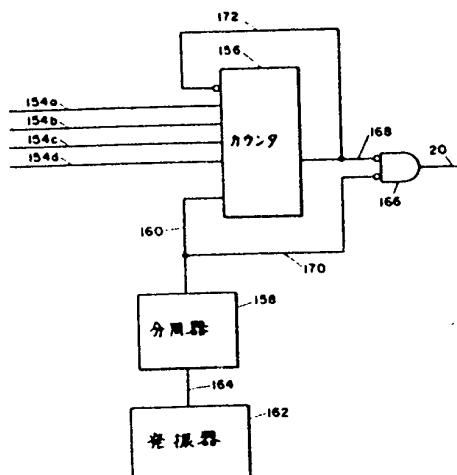


FIG. 5

特許出願補正書

昭和60年 2月 5日

特許庁長官 志賀 学 殿

1. 事件の表示
昭和59年 特許第234003号

2. 免明の名称 ラスター走査型表示装置

3. 補正をする者
当事者との関係 特許出願人
住所 アメリカ合衆国 オレゴン州 97077
ビーバードジ ピー・オー・ボックス 500
サウスウェスト・グリフィス・ライブ 4900
名 称 テクトロニクス・インコーポレイテッド
代 表 者 ロバート・エス・ハルス
国 種 アメリカ合衆国

4. 代理人
住所 東京都新宿区西新宿1丁目8番1号
TEL 03-343 582149 (新宿ビル)
氏 名 (3388) 井理士 伊藤 直

5. 補正命令の日付 昭和 年 月 日

6. 補正により増加する免明の数

7. 補正の対象 明細書の免明の詳細な説明の欄。

8. 補正の内容

(60. 2. 6)

- (1) 明細書中、第2頁16行「高性能」とあるを「高性能化」に訂正する。
- (2) 同、第4頁8行「の方法」とあるを削除する。
- (3) 同、第6頁12行「数倍」とあるを「数倍（例えば 4×4 倍）」に訂正する。
- (4) 同、第6頁19行「出力信号」の後に「（フレーム・パッファ内における接続した異なるライン上のデータ）」を加入する。
- (5) 同、第7頁16行～17行「同時に・・・を与える」とあるを「フレーム・パッファ内における1つのライン上の連続した4つのデータ・ビットであります。」に訂正する。
- (6) 同、第8頁8行「...に分配する。」の後に下記を加入する。
即ち、RAM (72)～(78)からの最初のラインの4つのデータ・ビットがライン (22a)～(22d) に供給され、次のラインの4つのデータ・ビットがライン (26a)～(26d) に供給され、更に次のラインのデータ・ビットがライン (28a)～(28d) に供給される。ライン

特開昭60-136795(9)

(22a) ~ (28d) のデータはラッチ及び分配器 (104) の作用によりラッチされる。なお、第2回のような構成にしたのは、RAM (72) ~ (74) を並列に動作させることにより、フレーム・バッファ (12) の動作速度を高速にするためである。」

(b) 同、第10頁18行「...いる。」の後に下記を加入する。

「よって、この実施例の場合、シフトレジスタ (106)、(120) 及び (132) の出力信号は、フレーム・バッファにおける3つの調接するライン上の対応位置におけるビット・データである。また、各シフトレジスタは4ビットの並列入力信号を直列出力信号に変換し、この直列出力信号に応じて表示手段の輝度を制御するので、フレーム・バッファにおけるラインの連続した4つのピクセル（ビット）についてみれば、アキュムレーターされたことになる。」

(c) 同、第10頁18行「...ある。」の後に下記を加入する。

「したがって、ライン・アキュムレーター (38) ~ (44) の出力信号はフレーム・バッファにおける12の調接したラインのデータとなる。」

(d) 同、第11頁2行「直列化したデータを」とあるを「直列化したデータ、即ちフレーム・バッファ内の3つの調接したラインの連続した4つのデータを」に訂正する。

(e) 同、第12頁6行「中央」とあるを「フレーム・バッファ内における調接する12のラインの内の」に訂正する。

以上